

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **06-283713**

(43)Date of publication of application : **07.10.1994**

(51)Int.CI.

H01L 29/784

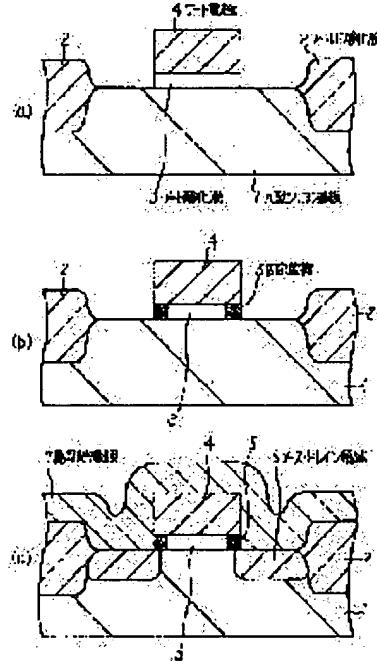
(21)Application number : **05-067256**

(71)Applicant : **NEC CORP**

(22)Date of filing : **26.03.1993**

(72)Inventor : **MOGAMI TORU**

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE



(57)Abstract:

PURPOSE: To realize a new MIS-type field-effect transistor which can suppress the short-channel effect.

CONSTITUTION: A fixed electric charge whose polarity is the same as that of carriers passing a channel region in the continuity of a transistor is generated in a gate oxide film 3 directly under both ends of a gate electrode 4 adjacent to a source-drain region 6, and the threshold value at the end part of the gate electrode 4 is made higher than the threshold value in the central part of the gate electrode.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-283713

(43)公開日 平成6年(1994)10月7日

(51)Int.Cl.⁵

H 01 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

9054-4M

H 01 L 29/78

301 G

審査請求 有 請求項の数 2 O L (全 4 頁)

(21)出願番号

特願平5-67256

(71)出願人

000004237

日本電気株式会社

(22)出願日

平成5年(1993)3月26日

東京都港区芝五丁目7番1号

(72)発明者

最上 徹

東京都港区芝五丁目7番1号日本電気株式

会社内

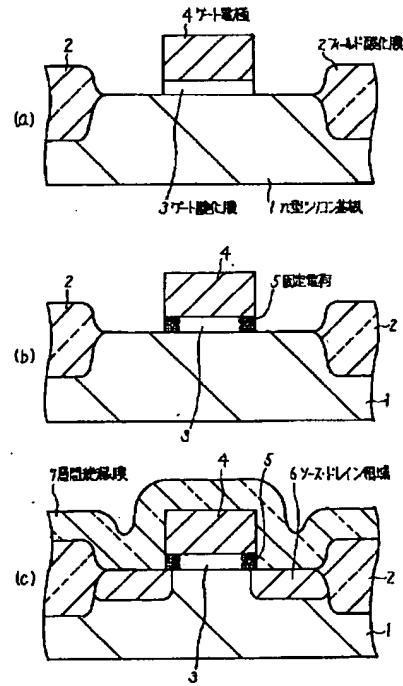
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】短チャネル効果を抑制できる新規なM I S型電界効果トランジスタを実現する。

【構成】ソース・ドレイン領域6に隣接するゲート電極4の両端直下のゲート酸化膜3中にトランジスタの導通時にチャネル領域を通過するキャリアと同じ極性を有する固定電荷を生じさせ、ゲート電極4の端部の閾値をゲート電極中央部の閾値よりも高くする。



1

【特許請求の範囲】

【請求項1】 一導電型半導体の一主面に設けて素子形成領域を区画するフィールド絶縁膜と、前記素子形成領域の表面に設けたゲート絶縁膜と、前記ゲート絶縁膜上に設けたゲート電極と、前記ゲート電極に整合して前記素子形成領域に設けた逆導電型のソース・ドレイン領域と、前記ソース・ドレイン領域に隣接する前記ゲート電極の両端部直下の前記ゲート絶縁膜内に局所的に設けた前記ゲート電極下のチャネル領域を通過するキャリアと同じ極性の固有電荷を有することを特徴とする半導体装置。

【請求項2】 一導電型半導体基板の一主面に選択的にフィールド絶縁膜を設けて素子形成領域を区画する工程と、前記素子形成領域の表面に設けたゲート絶縁膜の上に選択的にゲート電極を形成する工程と、前記ゲート電極をマスクとして斜めイオン注入法により前記ゲート電極の両端部直下の前記ゲート絶縁膜に不純物を注入して前記ゲート電極下のチャネル領域を通過するキャリアと同じ極性の固定電荷を局所的に形成する工程と、前記ゲート電極に整合して前記素子領域に逆導電型のソース・ドレイン領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置及びその製造方法に関し、特にM I S型電界効果トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】 半導体集積回路の高集積化に伴い、集積回路を構成するM O S F E Tのゲート長の微細化が進んでいる。微細ゲート長を有するM O S F E Tでは、しきい値電圧のゲート長依存性が大きい、パンチスルーエイ等の短チャネル効果が顕在化してきている。

【0003】 このような短チャネル効果を防ぐために、従来種々のデバイス構造が検討されている。その1つとして、ゲート電極に隣接するソース・ドレイン領域の端部を覆うように接して形成したソース・ドレイン領域と異なる導電型の不純物領域を有するポケット構造が、1982年インターナショナル・エレクトロン・デバイス・セス・ミーティング (International Electron Devices Meeting) のテクニカル・ダイジェスト (Technical Digest) 第718頁から第721頁に提案されている。図2は、従来のポケット構造のM O S F E Tの代表的な一例を示す断面図である。

【0004】 図2に示すように、n型シリコン基板1に設けて素子形成領域を区画するフィールド酸化膜2と、素子形成領域の表面に設けたゲート酸化膜3およびゲート酸化膜3上に設けたゲート電極4と、ゲート電極4に整合して素子形成領域に設けたp型のソース・ドレイン

10

20

30

40

50

2

領域6と、チャネル領域に隣接するソース・ドレイン領域6の端部を覆うように設けたn型シリコン基板よりも少し不純物濃度の高いn型不純物拡散領域8とを有して構成され、このn型不純物拡散領域を存在させることにより、ドレイン領域からチャネル領域への空乏層の広がりが抑制され、短チャネル効果を緩和することが可能となった。

【0005】

【発明が解決しようとする課題】 この従来の半導体装置では、n型不純物拡散領域をソース・ドレイン領域の端部のみに形成することが望ましいが、端部にのみ形成するにはマスク工程が必要となり、製造工程が複雑となる。

【0006】 また、工程を簡略化するために、ソース・ドレイン領域の接合面全面に接してn型不純物拡散領域を形成すると、接合容量が増大し、デバイス特性の劣化を生じるという問題点があった。また、ポケット構造形成のために、基板内に局所的に不純物を導入する為に、製造プロセスのマージンが大幅に減少するという問題点もあった。

【0007】 本発明の目的は、短チャネル効果を低減できる新規なM I S型電界効果トランジスタを提供することにある。

【0008】

【課題を解決するための手段】 本発明の半導体装置は、一導電型半導体の一主面に設けて素子形成領域を区画するフィールド絶縁膜と、前記素子形成領域の表面に設けたゲート絶縁膜と、前記ゲート絶縁膜上に設けたゲート電極と、前記ゲート電極に整合して前記素子形成領域に設けた逆導電型のソース・ドレイン領域と、前記ソース・ドレイン領域に隣接する前記ゲート電極の両端部直下の前記ゲート絶縁膜内に局所的に設けた前記ゲート電極下のチャネル領域を通過するキャリアと同じ極性の固有電荷を有する。

【0009】 本発明の半導体装置の製造方法は、一導電型半導体基板の一主面に選択的にフィールド絶縁膜を設けて素子形成領域を区画する工程と、前記素子形成領域の表面に設けたゲート絶縁膜の上に選択的にゲート電極を形成する工程と、前記ゲート電極をマスクとして斜めイオン注入法により前記ゲート電極の両端部直下の前記ゲート絶縁膜に不純物を注入して前記ゲート電極下のチャネル領域を通過するキャリアと同じ極性の固定電荷を局所的に形成する工程と、前記ゲート電極に整合して前記素子領域に逆導電型のソース・ドレイン領域を形成する工程とを含んで構成される。

【0010】

【作用】 本発明によるトランジスタでは、ゲート電極形成後に、斜めイオン注入法により、ゲート電極の両端部直下のゲート絶縁膜中に局所的に固定電荷を導入することによって、トランジスタの閾値電圧を局所的に制御す

3

ることが可能である。また、イオン注入量と注入エネルギーを制御することにより、ソース・ドレイン領域近傍のゲート電極端部の閾値をゲート電極中央部の閾値よりも高く設定することが可能であり、その結果、トランジスタにおいて、短チャネル効果を大幅に抑制することができる。

【0011】図3は、MOSトランジスタの閾値電圧のゲート長依存性を示す特性図であり、従来のpチャネルMOSFETと本発明によるpチャネルMOSFETとを比較した結果である。図から明らかなように、本発明によるトランジスタでは短チャネル効果が大幅に抑制されていることがわかる。

【0012】

【実施例】次に、本発明について図面を参照して説明する。

【0013】図1(a)～(c)は本発明の一実施例の製造方法を説明するための工程順に示した半導体チップの断面図である。

【0014】まず、図1(a)に示すように、n型シリコン基板1の一主面を選択的に酸化してフィールド酸化膜2を形成し、素子形成領域を区画する。次に、この素子形成領域の表面に設けたゲート酸化膜3の上に多結晶シリコン膜を堆積してパターニングし、ゲート電極4を形成する。

【0015】次に、図1(b)に示すように、ゲート電極4をマスクとしてセシウムイオンを斜め方向よりイオン注入(斜めイオン注入法)してゲート電極4の両端直下のゲート酸化膜3中に性の極性を有する固定電荷5を局所的に発生させる。

【0016】次に、図1(c)に示すように、ゲート電極4及びフィールド酸化膜2をマスクとして二重化ホウ素をイオン注入しp型のソース・ドレイン領域6を形成する。次に、ゲート電極4を含む表面に層間絶縁膜7を堆積する。

【0017】本実施例では、pチャネルMOSFETの場合について説明したが、nチャネルMOSFETの場合にも同様に構成でき、ゲート電極の両端直下のゲート

酸化膜中にホウ素イオンを斜めイオン注入することにより、負の極性を有する固定電荷を局所的に発生できる。

【0018】また、ゲート絶縁膜として酸化シリコン膜以外に窒化シリコン等を用いても良く、さらに、シングル・ドレイン構造のMOSFET以外にLDD (lightly doped drain)構造のMOSFETに適用しても同様の効果が得られる。

【0019】

【発明の効果】以上説明したように本発明は、ゲート電極の両端直下のゲート絶縁膜中にチャネル領域を流れるキャリアと同じ極性の固定電荷を局所的に設けることにより、ソース・ドレイン領域近傍のゲート電極端部の閾値をゲート電極中央部の閾値よりも高く設定することができるとなり、従来のポケット構造のMOSFETのように半導体基板内の不純物濃度を通常のMOSFETに対して変化させることなく、従って従来のポケット構造のMOSFETのようにキャリアの移動度の劣化を生じることなしに短チャネル効果を大幅に改善したMIS型電界効果トランジスタを実現できるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例の製造方法を説明するための工程順に示した半導体チップの断面図。

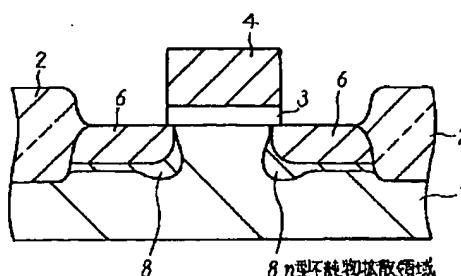
【図2】従来の半導体装置の一例を示す半導体チップの断面図。

【図3】MOSFETの閾値電圧のゲート長依存性を示す特性図。

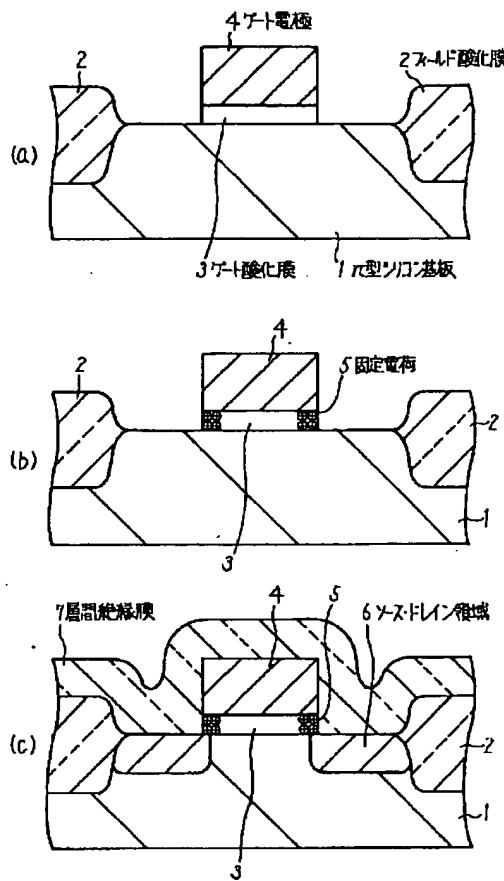
【符号の説明】

1	n型シリコン基板
2	フィールド酸化膜
3	ゲート酸化膜
4	ゲート電極
5	固定電荷
6	ソース・ドレイン領域
7	層間絶縁膜
8	n型不純物拡散領域

【図2】



【図1】



【図3】

